

セラミックス膜の製造方法および強誘電体キャパシタの製造方法、ならびにセラミックス膜、強誘電体キャパシタおよび半導体装置

本願では、2002年12月24日に出願された日本特許出願2002-371522の内容がそのまま含まれる。

BACKGROUND OF THE INVENTION

本発明は、セラミックス膜の製造方法および強誘電体キャパシタの製造方法、ならびにセラミックス膜、強誘電体キャパシタおよび半導体装置に関する。

10 現在、半導体装置（例えば、強誘電体メモリ（FeRAM））に適用される強誘電体膜として、ペロブスカイト構造を有する強誘電体膜（例えば、PbZrTiO系）や層状ペロブスカイト構造を有する強誘電体膜（例えば、BiLaTiO系、BiTiO系、SrBiTaO系）が提案されている。

これらの強誘電体膜の材料に含まれるPbやBiは、蒸気圧が高く、低温で揮発しやすい。そして、強誘電体膜の結晶化過程においては、高温下での熱処理を行うため、PbやBiなどは、強誘電体の結晶化に必要な雰囲気中の酸素と結合して飛散してしまい、結晶化された強誘電体膜の特性に望ましくない影響を与える。

また、結晶化された強誘電体膜の格子定数は、電極材料として用いられる金属膜の格子定数と必ずしも合致しないため、MIM（Metal-Insulator-Metal）構造の強誘電体キャパシタに適用した場合に格子不整合による歪みが生じ、特性が劣化しやすい。このような格子不整合を解消するため、強誘電体膜と電極との間に合金膜を形成したキャパシタ構造が提案されている（国際公開第00/17929号パンフレット参照。）。

25 BRIEF SUMMARY OF THE INVENTION

本発明の目的は、良好な特性を有するセラミックス膜の製造方法、およびこの製造方法により得られるセラミックス膜を提供することにある。また、本発明の他の目的は、セラミックス膜と電極との間の界面を改善し、疲労特性を向上させることができ

る強誘電体キャパシタの製造方法、およびこの製造方法により得られる強誘電体キャパシタを提供することにある。また、本発明の他の目的は、本発明のセラミックス膜または強誘電体キャパシタが適用された半導体装置を提供することにある。

5 本発明のセラミックス膜の製造方法は、複合酸化物を含む原材料体を、2気圧以上に加圧され、かつ体積比10%以下の酸素を含む雰囲気中で熱処理することにより結晶化させることを含む。

BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWING

10 図1A～図1Eは、本実施形態の第1の強誘電体キャパシタの製造工程を示す図である。

図2は、実施例1の製造工程における熱処理を示す図である。

図3は、実施例1に係るセラミックス膜の顕微鏡写真である。

図4は、比較例1の製造工程における熱処理を示す図である。

図5Aは、実施例1に係るセラミックス膜のラマン散乱スペクトルを示す図である。

15 図5B及び図5Cは、比較例1に係るセラミックス膜のラマン散乱スペクトルを示す図である。

図6は、実施例1に係る強誘電体キャパシタのヒステリシス特性を示す図である。

図7Aは、実施例1に係る強誘電体キャパシタのヒステリシス特性を示す図である。

図7Bは、比較例1に係る強誘電体キャパシタのヒステリシス特性を示す図である。

20 図8Aは、比較例3に係るセラミックス膜の顕微鏡写真である。図8Bは、実施例2に係るセラミックス膜の顕微鏡写真である。図8Cは、比較例2に係るセラミックス膜の顕微鏡写真である。

25 図9Aは、比較例2に係るセラミックス膜の顕微鏡写真である。図9B～図9Dは、実施例2に係るセラミックス膜の顕微鏡写真である。図9Eは、比較例3に係るセラミックス膜の顕微鏡写真である。

図10Aは、比較例2に係る強誘電体キャパシタのヒステリシス特性を示す図である。図10B～図10Dは、実施例2に係る強誘電体キャパシタのヒステリシス特性を示す図である。図10Eは、比較例3に係る強誘電体キャパシタのヒステリシス特

性を示す図である。

図 1 1 A～図 1 1 Dは、実施例 2 に係る強誘電体キャパシタの温度特性を示す図である。

5 図 1 2 は、実施例 2 及び比較例に係る強誘電体キャパシタの温度特性を示す図である。

図 1 3 Aは、比較例 4 に係る強誘電体キャパシタのヒステリシス特性を示す図である。図 1 3 Bは、実施例 3 に係る強誘電体キャパシタのヒステリシス特性を示す図である。

10 図 1 4 A及び図 1 4 Bは、実施例 4 に係る強誘電体キャパシタのヒステリシス特性を示す図である。

図 1 5 A～図 1 5 Fは、本実施形態の第 2 の強誘電体キャパシタの製造工程を示す図である。

図 1 6 は、実施例 5 の製造工程における熱処理を示す図である。

15 図 1 7 A及び図 1 7 Cは、比較例 5 に係る強誘電体キャパシタの疲労特性を示す図である。図 1 7 B及び図 1 7 Dは、実施例 5 に係る強誘電体キャパシタの疲労特性を示す図である。

図 1 8 は、適用例 1 に係る半導体装置を示す断面図である。

図 1 9 Aは、適用例 2 に係る半導体装置を示す平面図である。図 1 9 Bは、適用例 2 に係る半導体装置を示す断面図である。

20

DETAILED DESCRIPTION OF THE EMBODIMENT

1. セラミックス膜の製造方法

25 (A) 本実施の形態のセラミックス膜の製造方法は、複合酸化物を含む原材料体を、2 気圧以上に加圧され、かつ体積比 1 0 %以下の酸素を含む雰囲気中で熱処理することにより結晶化させることを含む。

本実施の形態によれば、2 気圧以上の加圧状態によって、原材料体に含まれる金属材料（例えば、P b、B i など）の蒸気発生を抑えるとともに、雰囲気中に含まれる酸素を体積比において 1 0 %以下とすることで、これらの金属材料と酸素との結合を

抑制することができ、良好な結晶状態のセラミックス膜を得ることができる。

(B) 本実施の形態のセラミックス膜の製造方法は、複合酸化物を含む原材料体を、2気圧以上に加圧された状態でラピッド・サーマル・アニール法を用いて熱処理することにより結晶化させることを含む。

5 本実施の形態によっても、2気圧以上の加圧状態によって、高温の熱処理に伴う原材料体に含まれる金属材料（例えば、Pb、Biなど）の蒸気発生を抑えることができる。

また、強誘電体膜は、結晶化における熱処理において低速で昇温を行うと、初期結晶核が様々な角度で発生するために、結晶面がランダムに配向しやすい。そこで、本
10 実施の形態では、数十℃/秒以上の急速加熱を行うラピッド・サーマル・アニール法を用いて熱処理を行うことで、結晶の配向性が高いセラミックス膜を得ることができる。

また、本実施の形態のセラミックス膜の製造方法においても、熱処理を、体積比10%以下の酸素を含む雰囲気中で行うことで、原材料体に含まれる金属材料と酸素と
15 の結合を抑制して、さらに良好な結晶状態のセラミックス膜を得ることができる。

2. 強誘電体キャパシタの製造方法

(A) 本実施の形態の強誘電体キャパシタの製造方法は、基体上に下部電極を形成し、複合酸化物を含む原材料体を、2気圧以上に加圧され、かつ体積比10%以下の酸素を含む雰囲気中および100℃/分以下の昇温速度の条件で熱処理することにより、前記下部電極の上に前記複合酸化物を構成する第1金属と該下部電極を構成する第2金属との化合物からなる下部合金膜を形成するとともに、該下部合金膜の上に前記原材料体が結晶化されたセラミックス膜を形成し、前記セラミックス膜の上に上部電極を形成することを含む。
20

本実施の形態において、第1金属とは、強誘電体となる複合酸化物に含まれる金属
25 であって、ペロブスカイト構造を有する強誘電体膜の場合、例えば、Pb、Zr、Tiなどが挙げられ、層状ペロブスカイト構造を有する強誘電体膜の場合、例えば、Bi、La、Ti、Sr、Taなどが挙げられるが、これらに限定されない。

また、本実施の形態において、第2金属とは、強誘電体キャパシタの電極材料として用いられる公知の物質の中から選択され、例えば、Pt、Ir、Al、Au、Ag、

Ru、Srや、これらを構成元素に含む導電性酸化物あるいは導電性窒化物などが挙げられるが、これらに限定されない。

本実施の形態によれば、2気圧以上の加圧状態によって、原材料体に含まれる金属材料（例えば、Pb、Biなど）の蒸気発生を抑えるとともに、雰囲気中に含まれる酸素を体積比において10%以下とすることで、これらの金属材料と酸素との結合を抑制することができ、良好な結晶状態のセラミックス膜を得ることができる。

さらに、本実施の形態では、熱処理における昇温速度を100℃/分以下とすることにより、熱処理の昇温過程の比較的低い温度領域で下部電極とセラミックス膜との双方と格子整合しやすい下部合金膜を生成しつつ、セラミックス膜の結晶化が行われる。これにより、下部電極とセラミックス膜との格子不整合による格子歪みが緩和され、各層間の界面が良好なものとなるため、歪みの少ない良好な結晶状態のセラミックス膜が得られる。

従って、本実施の形態の製造方法によれば、各層間の界面およびセラミックス膜の結晶状態が良好であるため、強誘電体キャパシタの分極特性および疲労特性を向上させることができる。

(B) 本実施の形態の強誘電体キャパシタの製造方法は、基体上に下部電極を形成し、前記下部電極の上に複合酸化物を構成する第1金属の酸化膜を形成し、前記酸化膜を、2気圧以上に加圧された状態で第1熱処理することにより、前記第1金属と前記下部電極を構成する第2金属との化合物からなる下部合金膜を形成し、複合酸化物を含む原材料体を、2気圧以上に加圧された状態でラピッド・サーマル・アニール法を用いて第2熱処理することにより、前記下部合金膜の上に前記原材料体が結晶化されたセラミックス膜を形成し、前記セラミックス膜の上に上部電極を形成することを含む。

本実施の形態において、第1金属および第2金属は、上記第1の強誘電体キャパシタの製造方法の場合と同義である。

本実施の形態によれば、下部電極の上に複合酸化物を構成する第1金属の酸化膜を形成し、これを第1熱処理によって下部電極を構成する第2金属との化合物からなる下部合金膜を生成する。この下部合金膜は、下部電極とセラミックス膜との双方と格子整合しやすいので、下部電極とセラミックス膜との格子不整合による格子歪みが緩

和され、各層間の界面が良好なものとなり、歪みの少ない良好な結晶状態のセラミックス膜が得られる。

さらに、本実施の形態では、複合酸化物を含む原材料体に対して2気圧以上に加圧された状態で数十℃/秒以上の急速加熱を行うラピッド・サーマル・アニール法を用いて第2熱処理を行うことで、原材料体に含まれる金属材料（例えば、Pb、Biなど）の蒸気発生を抑えるとともに、所望の結晶面に配向した結晶状態の良好なセラミックス膜を得ることができる。

従って、本実施の形態の製造方法によれば、各層間の界面およびセラミックス膜の結晶状態が良好であるため、強誘電体キャパシタの分極特性および疲労特性を向上させることができる。

また、本実施の形態の強誘電体キャパシタの製造方法では、第2熱処理を、体積比10%以下の酸素を含む雰囲気中で行うことで、原材料体に含まれる金属材料と酸素との結合を抑制して、さらに良好な結晶状態のセラミックス膜を得ることができ、強誘電体キャパシタの特性を向上させることができる。

さらに、本実施の形態の強誘電体キャパシタの製造方法では、前記セラミックス膜の上に前記上部電極を形成する前に、前記セラミックス膜の上に前記上部電極を構成する第3金属の酸化膜を形成し、該酸化膜を、2気圧以上に加圧された状態で熱処理することにより、前記第1金属と前記第3金属との化合物からなる上部合金膜を形成することを含み、前記上部電極を、前記上部合金膜の上に形成することができる。

かかる態様によれば、セラミックス膜と上部電極との間の界面においても上部合金膜によって各層間の格子歪みが緩和されるため、良好な特性の強誘電体キャパシタを得ることができる。さらに、この上部合金膜を生成するための熱処理は、2気圧以上に加圧された状態で行われるため、セラミックス膜の表面からの複合酸化物に含まれる金属材料（例えば、Pb、Biなど）の蒸気発生を抑えることができる。

(C) 本実施の形態の強誘電体キャパシタの製造方法は、基体上に少なくとも、下部電極、セラミックス膜、および上部電極を形成し、少なくとも前記上部電極を形成した後に、2気圧以上に加圧された状態で強誘電体特性を回復するための熱処理を行うことを含む。

本実施の形態の強誘電体キャパシタの製造方法では、基体上に強誘電体キャパシタ

構造を作製してから、ポストアニールとして2気圧以上に加圧された状態で熱処理を行うことでセラミックス膜と上部電極および下部電極との界面状態が改善され、強誘電体特性の回復を図ることができる。なお、かかる製造方法において、熱処理は、ラピッド・サーマル・アニール法を用いて行うことができる。

- 5 (D) 本実施の形態の強誘電体キャパシタの製造方法は、基体上に少なくとも、下部電極、セラミックス膜、および上部電極を形成し、少なくとも前記セラミックス膜を所与の形状にエッチングした後に、2気圧以上に加圧された状態で強誘電体特性を回復するための熱処理を行うことを含む。

- 10 本実施の形態の強誘電体キャパシタの製造方法では、少なくともセラミックス膜がエッチングされた後にポストアニールとして2気圧以上に加圧された状態で熱処理を行うことで、エッチング工程でのプロセスダメージを回復させることができる。なお、かかる製造方法において、熱処理は、ラピッド・サーマル・アニール法を用いて行うことができる。

- 15 なお、本実施の形態のセラミックス膜の製造方法および強誘電体キャパシタの製造方法は、さらに以下の態様を取り得る。

(a) 前記原材料体を結晶化させるための熱処理では、少なくとも昇温前に2気圧以上に加圧することができる。

- 20 かかる態様によれば、結晶化過程における雰囲気中の圧力を昇温前に高めておくことで、熱処理の低温領域における複合酸化物に含まれる金属材料（例えば、Pb、Biなど）の蒸気発生を効果的に抑制することができる。

(b) 前記複合酸化物は、構成元素にPbを含み、前記原材料体を結晶化させるための熱処理では、昇温過程において少なくとも100℃以下で2気圧以上に加圧した後に、さらに昇温を行うことができる。

- 25 かかる態様によれば、熱処理の昇温過程において100℃以下の低温領域で、2気圧以上に加圧しておくことにより、その後の昇温によってPbが含まれる複合酸化物の原材料体中からPbが雰囲気中の酸素と結合して蒸気が発生するのを防止する効果をより確実なものとすることができる。

(c) 前記原材料体を結晶化させるための熱処理の昇温過程を大気圧に対して加圧状態で行うとともに、かかる熱処理の降温過程を前記加圧状態に対して減圧状態で行

うことができる。

かかる態様によれば、昇温過程においては、加圧によって原材料体から金属材料が離脱することを防止し、降温過程においては、加圧状態から減圧していくことによって雰囲気中に含まれる余剰材料などの不純物のセラミックス膜への付着を防止する

5 ことができる。

(d) 前記原材料体は、前記複合酸化物の加水分解物および重縮合物の少なくともいずれかを含むゾルゲル原料と、前記複合酸化物の構成元素を有機溶媒中に含むMOD原料との混合物とすることができる。

10 強誘電体を構成する複合酸化物には、低温領域で蒸気が発生しやすい金属材料（例えば、Pb、Biなど）が含まれるため、高温処理を伴う結晶化のためにはこれらの材料を過剰に添加している場合が多い。

15 かかる態様によれば、複合酸化物の構成元素が加水分解ないしは重縮合によって結合しているゾルゲル原料と各構成元素が溶媒中で比較的自由に移動可能なMOD原料との混合物によって原材料体を構成することで、両原料が原材料体の結晶化過程において補完的に機能するため、原材料体中の過剰な添加物を低減することができ、良好な表面モフォロジーのセラミックス膜が生成できる。

(e) 前記原材料体は、前記複合酸化物に加えて、該複合酸化物に対して触媒作用を有する常誘電体材料が混在してもよい。

20 かかる態様によれば、原材料体に強誘電体を構成する複合酸化物に加えて、常誘電体材料が混在することにより、複合酸化物の結晶化過程において、複合酸化物の一部の構成元素が常誘電体材料の構成元素と置換して結晶化温度を低下させることができる。

このような常誘電体材料としては、例えば、構成元素中にSiまたはGeを含む酸化物、または構成元素中にSiおよびGeを含む酸化物を採用することができる。

25 3. セラミックス膜、強誘電体キャパシタ、半導体装置

(A) 本実施の形態のセラミックス膜は、上記セラミックス膜の製造方法により得られる。

(B) 本実施の形態の強誘電体キャパシタは、上記強誘電体キャパシタの製造方法により得られる。

(C) 本発明の半導体装置は、本実施の形態のセラミックス膜をゲート絶縁膜として有する。

(D) 本発明の半導体装置は、本実施の形態の強誘電体キャパシタを含む。

以下、本発明に好適な実施の形態について、図面を参照しながらより詳細に説明する。

4. 第1の強誘電体キャパシタの製造方法

図1A～図1Eは、本実施の形態に係る第1の強誘電体キャパシタの製造工程を模式的に示す断面図である。

まず、図1Aに示すように、基体10の上に下部電極20を形成する。下部電極20は、例えば、Pt、Ir、Al、Au、Ag、Ru、Sr等の金属や、酸化物導電体（例えば、 IrO_x 等）や、窒化物導電体（例えば、TiN等）などを材料としてスパッタ法を用いて形成することができる。また、下部電極20は、単層膜でもよいし、積層した多層膜でもよい。

次に、図1Bに示すように、下部電極20の上に複合酸化物を含む原材料体30を形成する。原材料体30を形成する方法としては、塗布法、LSMCD法を挙げることができる。塗布法としては、例えば、スピコート法、ディッピング法を挙げることができる。この原材料体30には、ゾルゲル原料とMOD原料とが含まれる。ゾルゲル原料は、MOD原料に比べて、結晶化温度が低く、結晶核の形成速度および結晶成長速度が速い原料が選択される。

ゾルゲル原料は、具体的には次のようにして調整することができる。まず、炭素数が4以下よりなる金属アルコキシドを混合し、加水分解および重縮合を行う。この加水分解および重縮合によって、 $\text{M}-\text{O}-\text{M}-\text{O}\cdots$ の強固な結合ができる。このとき得られる $\text{M}-\text{O}-\text{M}$ の結合は、セラミックスの結晶構造（ペロブスカイト構造）に近い構造を有する。ここで、Mは金属元素（例えば、Bi、Ti、La、Pbなど）であり、Oは酸素を示す。次に、加水分解および重縮合を行うことにより得られた生成物に溶媒を加え、原料を得る。こうして、ゾルゲル原料を調整することができる。

MOD原料としては、例えば、セラミックス膜の構成元素同士が直接または間接的に連続して接続された多核金属錯体原料を挙げることができる。MOD原料は、具体的にはカルボン酸の金属塩を挙げることができる。カルボン酸としては、酢酸、2-

エチルヘキサン酸などを挙げることができる。金属としては、例えば、B i、T i、L a、P bなどを挙げることができる。MOD原料においても、ゾルゲル原料と同様に、M-Oの結合を有する。しかし、M-O結合は、重縮合を行って得られるゾルゲル原料のように連続した結合にはなっておらず、また、結合構造もリニア構造に近く
5 ペロブスカイト構造とはかけ離れている。

また、原材料体30において、ゾルゲル原料とMOD原料とは、それぞれ複合酸化物の化学量論的組成に調整され、かつこれらの混合物には複合酸化物に含まれる金属材料（例えば、P b、B i）を、前記化学量論的組成に対して多くとも5%過剰に含ませることができる。例えば、P b、B iなどの金属材料は低温で酸素と結合して蒸
10 気が発生するため、結晶化過程において不足を補うために、従来は10%~20%のP bやB iを過剰添加物として原材料体30に含ませていた。しかし、結晶化後において残留した過剰添加物は、セラミックス膜40の結晶間や結晶と電極との間に入り込み、結晶品質を低下させる原因ともなり得る。

そこで、本実施の形態の製造方法においては、予め元素配置が結晶に近いゾルゲル
15 原料と構成元素が自由に移動しやすいMOD原料とを混合することにより、両原料が結晶化の際に補完的に機能して、P bやB iなどの過剰添加物をできるだけ少なくすることができる。具体的には化学量論的組成に対して5%以下することができる。これにより、原材料体30の結晶化後に余ったP b、B iなどの過剰添加物が結晶と結晶との間や下部電極20と結晶との間に入り込んで、変質層が生成されるのを防止する
20 ことができる。

なお、原材料体30には、複合酸化物に加えて、該複合酸化物に対して触媒作用を有する常誘電体材料が混在してもよい。原材料体30中に強誘電体を構成する複合酸化物に加えて、常誘電体材料が混在することにより、複合酸化物の結晶化過程において、複合酸化物の一部の構成元素が常誘電体材料の構成元素と置換して結晶化温度を
25 低下させることができる。

このような常誘電体材料としては、例えば、構成元素中にS iまたはG eを含む酸化物、または構成元素中にS iおよびG eを含む酸化物を採用することができる。かかる酸化物は、 ABO_x または BO_x で表される常誘電体材料であって、AサイトはP b、B i、H f、Z r、V、Wのいずれかの単元素または複合元素からなり、Bサイ

トはSi、Geのいずれかの単元素または複合元素からなる材料を採用することができる。具体的には、 $Pb_5Si_3O_x$ 、 $Pb_2Si_1O_x$ 、 $PbGeO$ 系($Pb_5Ge_3O_x$ 、 $Pb_2Ge_1O_x$)、 $BiSiO$ 系($Bi_4Si_3O_x$ 、 $Bi_2Si_1O_x$)、 $BiGeO$ 系($Bi_4Ge_3O_x$ 、 $Bi_2Si_1O_x$)、 $ZrGeO_x$ 、 $HfGeO_x$ 、 $VGeO_x$ 、 $WGeO_x$ 、 $VSiO_x$ 、 $WSiO_x$ 等が挙げられる。なお、AサイトにZr、Hf、V、Wを用いた場合は、強誘電体の酸素欠損の抑制効果が有る。

次に、必要に応じて、原材料体30を乾燥および仮焼成する。

次に、図1Cおよび図1Dに示すように、原材料体30を熱処理することにより、原材料体30を結晶化させてセラミックス膜40を形成する。一般に、ゾルゲル原料は、MOD原料に比べて、結晶化温度が低い。また、ゾルゲル原料は、MOD原料に比べて、結晶核の形成速度および結晶成長速度が速い。従って、これらの混合物である原材料体30の結晶化過程では、ゾルゲル原料の結晶化がMOD原料の結晶化より先行して進むことにより、ゾルゲル原料により形成される結晶核の間隙にMOD原料が残ることになる。すると、ゾルゲル原料の結晶核の間隙においてMOD原料は独立に結晶化が進行し、間隙が埋められていく。また、ゾルゲル原料とMOD原料とでは、結晶の配向しやすい方向が異なる。従って、両原料の結晶化過程では、互いに成長を遮断し合い、微細な結晶が成長する。その結果、形成されるセラミックス膜40においては、表面モフォロジーが良好なものとなる。

また、本実施の形態の製造方法では、この熱処理の昇温過程において100℃以下の低温領域において2気圧以上の加圧状態としている。これは、例えば、 $PbZrTiO$ 系(以下、PZTという)の複合酸化物においてはPbが、比較的低温で酸素と結合して雰囲気中に飛散しやすいことが知られており(電気化学便覧第4版、128頁、丸善、1985年発行を参照)、かかる金属材料が雰囲気中に飛散するのを防止することを目的とするものである。なお、かかる熱処理において、昇温前に2気圧以上の加圧状態としてもよい。

また、本実施の形態では、かかる熱処理を体積比10%以下の酸素を含む雰囲気中で行うことにより、金属材料が酸素と結びついて脱離することを防ぐことができるため、加圧による金属材料の飛散防止効果をさらに高めることができる。

さらに、かかる熱処理では、昇温過程を上記したように大気圧に対して加圧状態で

行うとともに、降温過程を前記加圧状態に対して減圧状態で行うことができる。これにより、昇温過程においては、加圧によって原材料体から金属材料が離脱することを防止し、降温過程においては、加圧状態から減圧していくことによって雰囲気中に含まれる余剰材料などの不純物のセラミックス膜への付着やセラミックス膜中における変質層の生成を防止することができる。

なお、本実施の形態の手法は、Pbと同様に低温領域で酸素と結合して雰囲気中に飛散しやすいBiを含んでいる例えば、BiLaTiO系（以下、BLTという）、BiTiO系（以下、BITという）、およびSrBiTaO系（以下、SBTという）の複合酸化物の結晶化においても有効である。

さらに、上記熱処理では、昇温過程において、下部電極20とセラミックス膜40との間に下部合金膜24を形成することができる。この下部合金膜24は、下部電極20を構成する金属元素と原材料体30に含まれる金属元素の合金により構成される。このとき、原材料体30に複合酸化物の化学量論的組成に対して過剰に含まれるPbやBiなどの金属材料の添加物が、下部合金膜24の材料となる。

ここで、例えば、PZTにおいては、Ptを下部電極20の材料として選択した場合、下部電極20の格子定数（a, b, c:3.96）とセラミックス膜40の格子定数（a, b:4.04, c:4.14）とが一致しないため、界面において格子不整合による歪みが発生する。この歪みは、強誘電体キャパシタの疲労特性などに影響を及ぼすため、できるだけ低減されることが望ましい。PZTのセラミックス膜40に対して格子定数が近い物質としてはPbPt₃（a, b, c:4.05）が挙げられる。PbとPtからなる合金化合物としては、PbPt₃の他に、PbPt（a, b:4.24, c:5.48）、Pb₂Pt（a, b:6.934, c:5.764）、Pb₄Pt（a, b:6.64, c:5.97）が考えられるが、PbPt₃の格子定数（a, b, c:4.05）は、PZTのセラミックス膜40の格子定数（a, b:4.04, c:4.14）とのミスマッチが少ないため、下部合金膜24として好適である。このように考えると、下部合金膜24に好適なPbは価数が高いことが必要であり、価数の高いPbの酸化物PbO₂やPb₃O₄は、原材料体30の結晶化温度に対して低温領域で蒸気となりやすい。すなわち、下部合金膜24の生成プロセスは、価数の高い金属材料を有効に使うために、低温領域で行う必要がある。

そこで、本実施の形態の熱処理では、100℃/分以下の低い昇温速度で昇温を行

うことにより、約100℃～200℃の低温領域で図1Cに示すように、下部電極20と結晶化中の原材料体30との間に下部合金膜24が形成される。この下部合金膜24の存在によって、各層間の界面の格子不整合による歪みが緩和され、結晶化されたセラミックス膜40の表面モフォロジーの改善、および最終的に製造される強誘電体キャパシタの疲労特性の向上に寄与する。

そして、かかる熱処理では、下部合金膜24の形成プロセスを経て、さらに昇温を行うことにより原材料体30を結晶化させて下部合金膜24の上にセラミックス膜40が形成される。

このように、本実施の形態の強誘電体キャパシタの製造方法では、原材料体30の結晶化の熱処理がセラミックス膜40と下部電極20との界面の格子不整合を改善する下部合金膜24の形成プロセスを伴うことを特徴とする。

そして最終的には、図1Eに示すように、セラミックス膜40の上に上部電極50を形成することにより強誘電体キャパシタを得る。この上部電極50の材料や形成方法は、下部電極20と同様のものを適用することができる。

以上に述べたように、本実施の形態に係る第1の強誘電体キャパシタの製造方法によれば、加圧および低酸素状態での熱処理により複合酸化物材料の雰囲気中への脱離を防止することができる。さらに、かかる熱処理の昇温過程の低温領域で下部合金膜24を形成することができるため、この下部合金膜24によってセラミックス膜40の界面の歪みを緩和して、表面モフォロジーを向上させることができるとともに、キャパシタの電気的特性の向上を図ることができる。

なお、本実施の形態に係る第1の強誘電体キャパシタの製造方法では、基体10上に上部電極50までの各層を形成した後に、ポストアニールとして2気圧以上に加圧された状態で強誘電体特性を回復するための熱処理を行うことができる。これにより、セラミックス膜40と上部電極50および下部電極20との界面状態が改善され、強誘電体特性の回復を図ることができる。

さらに、本実施の形態に係る第1の強誘電体キャパシタの製造方法では、基体10上に上部電極50までの各層を形成した後にエッチング等により強誘電体キャパシタをパターニングし、その後ポストアニールとして2気圧以上に加圧された状態で強誘電体特性を回復するための熱処理を行うことができる。これにより、エッチング工

程でのプロセスダメージを回復させることができる。

なお、これらのポストアニールは、F A（ファーネス）を用いてゆっくり加熱を行ってもよいし、ラピッド・サーマル・アニール法を用いて急速加熱を行ってもよい。

- 5 なお、上述した各種熱処理は、複合酸化物を構成する金属材料の蒸気発生に対して不活性な気体、例えば、窒素、アルゴン、キセノンなどの雰囲気中で行うことができる。かかる雰囲気中で熱処理を行うことにより、複合酸化物を構成する金属材料の蒸気発生を抑止効果がさらに高まる。

また、上述した各種熱処理の昇温過程及び降温過程の少なくともいずれか一方において、複数段階の加圧を行うことができる。

- 10 以下に、本実施の形態に係る製造方法のさらに詳細な実施例を図面を参照しながら説明する。

（実施例 1）

本実施例では、P t 電極が形成された所与の基体上に、P b（Z r_{0.35}、T i_{0.65}）O₃をスピコート法を用いて成膜して検討を行った。

- 15 本実施例では、P Z T（Z r／T i＝3 5／6 5）の化学量論的組成にそれぞれ調整されたゾルゲル溶液とMOD溶液との混合物にモル比で5％過剰となるようにP bを添加した原材料溶液を用いた。P bの添加物は、P t 電極とP Z T膜との界面にP b P t₃を形成するために用いるものである。

- 20 そして、これらの原料溶液を、スピコーティング（3 0 0 0 r p m、3 0 秒）して4 0 0℃で5分間、原料溶液を仮焼成する工程を3回繰り返して、P t 電極上に1 5 0 n mの原材料体を形成した。次に、図 2 に示すように、F A（ファーネス）を用いて2気圧に加圧され、かつ体積比1％の酸素を含む雰囲気中で、6 5 0℃まで昇温を行い、3 0分間の熱処理をして原材料体を結晶化させてペロブスカイト構造のP Z T膜を得た。この昇温過程においては、約1 0 0℃～2 0 0℃の低温領域でP t 電極
25 のP tと原材料体中のP bとの合金であるP b P t₃膜を形成するために、昇温レートを2 0℃／分とした。

図 3 は、このとき得られたP Z T膜の表面の顕微鏡写真である。これによると、平均粒径が約5 0 n mの微細な結晶が均一的に分布し、表面モフォロジーが良好であることが分かる。これは、P t 電極とP Z T膜との界面に形成されたP b P t₃層によ

って界面の格子不整合が低減され、さらに加圧状態および低酸素状態の条件下で行う熱処理によってP Z T膜の結晶化中におけるP bの脱離を防止したことによるものと考えられる。

また、かかるP Z T膜についてラマン散乱スペクトルを測定した。さらに、本測定
5 における従来技術との比較のために、図4に示すように、加圧を行わずに、大気中においてラピッド・サーマル・アニール法（以下、比較例1）による熱処理を行って結晶化されたP Z T膜についてのラマン散乱スペクトルについても測定を行った。すると、図5 A及び図5 Bに示すように、本実施例の製造方法に係るP Z T膜と比較例1
10 によるP Z T膜とでは、 $500\text{ R}/\text{cm}^{-1} \sim 700\text{ R}/\text{cm}^{-1}$ におけるスペクトル形状に違いが見られる。これは、比較例1によるP Z T膜では、異相が発生しているためである。図5 Cは、比較例1によるP Z T膜の測定結果における $100\text{ R}/\text{cm}^{-1} \sim 800\text{ R}/\text{cm}^{-1}$ のスペクトル形状の拡大図である。比較例1によるP Z T膜では、図5 Cに示すように、P Z Tの異相や変質層の発生を示すピークがあることが分かる。このような顕著な違いが見られる原因は、加圧及び低酸素状態での熱処理に
15 より、P bの蒸気発生を抑えたことによるP Z T結晶化過程での組成変動を低減した効果が大いと考えられる。

次に、本実施例では、結晶化されたP Z T膜の上に上部電極としてP t電極を形成し、その後2気圧に加圧した状態でポストアニールを行い、強誘電体キャパシタを製作し、強誘電体特性の評価を行った。

20 図6は、本実施例の製造方法により得られた強誘電体キャパシタのヒステリシス特性を示すものである。図6に示すように、本実施例の強誘電体キャパシタにおいては、2 V以下の低電圧で飽和する角型性の良いヒステリシス形状が得られた。また、この強誘電体キャパシタは、分極値P rが約 $30\text{ }\mu\text{C}/\text{cm}^2$ となり、良好な分極特性を示すことが分かった。

25 次に、本実施例の製造方法で得られた強誘電体キャパシタと比較例1の製造方法で得られたP Z T膜上に上部電極を形成した強誘電体キャパシタについて、疲労特性についての検討を行った。図7 A及び図7 Bは、これらの強誘電体キャパシタに対して、2 V、66 Hzの三角波パルスで10回与えた後に、1.5 V、500 kHzの方形波パルスを 10^8 回以上与えて分極反転を行った疲労試験前後のヒステリシス特性を

示す図である。図7 Aは、本実施例の製造方法により得られたキャパシタについて示すものであり、図7 Bは、比較例1により得られたキャパシタについて示すものである。図7 Aによれば、本実施例により得られるキャパシタにおいては、試験前後においてヒステリシス形状の変化は見られない。これに対して、図7 Bによれば、比較例1により得られるキャパシタにおいては、試験後のヒステリシス形状において分極特性が低下しているのが分かる。これは、本実施例の製造方法がP Z T膜の結晶化プロセスにおいてP b P t₃合金膜の形成プロセスを伴うことにより、P Z T膜の下部電極側界面において格子不整合による歪みが緩和されていることを示している。

以上のように、本実施の形態の製造方法では、セラミックス膜の結晶化工程における加圧および低酸素状態での下部合金膜形成プロセスを伴う熱処理によって、セラミックス膜が良好な表面モフォロジーを有し、これを含む強誘電体キャパシタが良好なヒステリシス特性及び疲労特性を有することが確認された。

(実施例2)

本実施例では、原料溶液をゾルゲル溶液とMOD溶液との混合物とした場合に加えて、比較例としてゾルゲル溶液単体（以下、比較例2）、またはMOD溶液単体（以下、比較例3）とした場合について、それぞれP t電極上にスピンコート法を用いて形成したP Z T膜の特性についての検討を行った。各原料溶液は、P Z T（Z r / T i = 3 5 / 6 5）の化学量論的組成にそれぞれ調整されたものに、モル比で5 %過剰となるようにP bを添加したものをを用いた。結晶化のための熱処理は、それぞれの原料溶液が塗布された原材料体にF Aを用いて2気圧に加圧され、かつ体積比1 %の酸素を含む雰囲気中で、6 5 0℃まで昇温を行い、3 0分間の加熱を行った。

図8 A～図8 Cは、本実施例、比較例2及び比較例3において得られたP Z T膜の表面を観察した顕微鏡写真である。図8 Aは、原料溶液としてMOD溶液のみを用いた比較例3のP Z T膜、図8 Bは、原料溶液としてゾルゲル溶液とMOD溶液との混合物を用いた本実施例のP Z T膜、図8 Cは、原料溶液としてゾルゲル溶液のみを用いた比較例2のP Z T膜の表面モフォロジーを示す。

図8 A～図8 Cに示す顕微鏡写真では、MOD溶液のみ（比較例3）、およびゾルゲル溶液のみ（比較例2）の場合に比べて、ゾルゲル溶液とMOD溶液との混合物を用いた本実施例の場合のほうが粒径が小さく、微細な結晶が均一に分布した表面モフ

ォロジーとなることが分かる。

また、本実施例では、ゾルゲル溶液とMOD溶液との混合物を原材料溶液とするP Z T膜について、ゾルゲル溶液とMOD溶液との混合比をモル比において、2 : 1、1 : 1、1 : 2と変化させた場合に得られるP Z T膜の特性を検討した。

5 図9 A～図9 Eは、このとき得られたP Z T膜の表面を観察した顕微鏡写真である。なお、図9 Aおよび図9 Eには、本実施例のP Z T膜の比較例として、上記において作製したゾルゲル溶液のみを原料溶液としたP Z T膜（比較例2）、およびMOD溶液のみを原料溶液としたP Z T膜（比較例3）の顕微鏡写真についても示されている。

図9 A～図9 Eによれば、ゾルゲル溶液とMOD溶液との混合物により得られる本
10 実施例のP Z T膜は、平均粒径が30 nm～70 nmと小さいのに対して、ゾルゲル溶液のみから得られる比較例2のP Z T膜では、平均粒径が100 nm、MOD溶液のみから得られる比較例3のP Z T膜では、平均粒径が2 μmと大きくなることが分かる。すなわち、ゾルゲル溶液とMOD溶液との混合物を用いた場合のほうが、ゾルゲル溶液のみ、あるいはMOD溶液のみの場合に比べて、微細な結晶が均一に分布し
15 た良好な表面モフォロジーを有する。これは、ゾルゲル溶液のみの場合（比較例2）、およびMOD溶液のみの場合（比較例3）は、初期結晶核の発生密度に違いがあるが、この初期結晶核に従って結晶化が進行するため、結晶の粒径が大きくなっていくものと考えられる。しかし、本実施例のように、ゾルゲル溶液とMOD溶液との混合物を使用すると、ゾルゲル溶液によって初期結晶核が高密度で形成され、その間隙を埋め
20 るように、MOD溶液が結晶化していくため、結晶の粒径が微細になるものと考えられる。

次に、上記P Z T膜のそれぞれに上部電極を形成した強誘電体キャパシタについての電気的特性を調べた。図10 B～図10 Dは、本実施例により得られた強誘電体キャパシタのヒステリシス特性を示す図である。なお、図10 Aは、ゾルゲル溶液のみ
25 を用いた場合の比較例2の強誘電体キャパシタのヒステリシス特性を示す図である。また、図10 Eは、MOD溶液のみを用いた場合の比較例3の強誘電体キャパシタのヒステリシス特性を示す図である。

図10 A～図10 Eによれば、ゾルゲル溶液とMOD溶液との混合物を原料溶液とする本実施例の強誘電体キャパシタにおいては、いずれの混合比においても、比較例

2のゾルゲル溶液のみ、および比較例3のMOD溶液のみを原料溶液とする強誘電体キャパシタに比べて、2 V以下の低電圧で飽和する角型性の良いヒステリシス形状が得られた。

従って、本実施例によれば、原料溶液中のゾルゲル溶液とMOD溶液との混合比は、
5 モル比において1 : 2 ~ 2 : 1の範囲において、セラミックス膜の表面モフォロジーを改善することができるとともに、角型性の良いヒステリシス形状を有する強誘電体キャパシタを製造することができることが確認された。

さらに、本実施例では、ゾルゲル溶液とMOD溶液の混合物（混合比1 : 1）から得られたP Z T膜を有する強誘電体キャパシタについての温度特性を検証した。温度
10 特性の測定は、25℃ ~ 100℃の範囲でヒステリシス特性を測定し、その結果が図11A ~ 図11Dに示される。図11A ~ 図11Dによれば、本実施例の製造方法により得られる強誘電体キャパシタは、100℃という高温下であっても、ヒステリシス形状にほとんど変化が見られない良好な温度特性を有することが分かった。

図12は、これらの結果に基づき、縦軸を規格化した分極値 $P_r^2 [(\mu C / cm^2)^2]$ 、横軸を温度[℃]としてプロットしたものである。図12によると、比較例により作製されるP Z T膜を有する強誘電体キャパシタでは、温度上昇につれて分極値が劣化していくのに対し、本実施例の手法により作製されるP Z T膜を有する強誘電体キャパシタでは、温度変化に対してほぼ一定の分極値を示し、P Z Tのバルクと同様の良好な温度特性が得られた。

20 (実施例3)

本実施例では、 $P_r(Zr, Ti)O_3$ の原料溶液中のZr / Ti比の依存性について検証した。具体的には、上記した実施例1、2では、Zr / Ti比を35 / 65とした原料溶液を用いたが、本実施例では、Zr / Ti比を20 / 80とした原料溶液を用い、ゾルゲル溶液とMOD溶液との混合物（混合比1 : 1）を原料溶液とした
25 場合と、比較例としてMOD溶液のみを原料溶液とした場合（比較例4）について作製したP Z T膜を有する強誘電体キャパシタの電気的特性の比較を行った。

図13Aおよび図13Bは、これらの強誘電体キャパシタのヒステリシス特性を示す図である。図13Aおよび図13Bによれば、Zr / Ti比を20 / 80とした場合においても、ゾルゲル溶液とMOD溶液との混合物を用いた本実施例の場合のほう

がMOD溶液のみを用いた比較例4の場合に比べて、低電圧で飽和する角型性の良いヒステリシス形状となる。すなわち、本実施例によれば、ゾルゲル溶液とMOD溶液との混合物を原料溶液とする製造方法は、 Zr/Ti 比を変更しても有効であることが確認できる。

5 (実施例4)

本実施例では、上記実施例1で説明した製造方法において、PZT膜を結晶化する際の熱処理の温度を580℃、425℃と低温化した場合の強誘電体キャパシタの電気的特性への影響を検証した。

図14Aは、580℃の熱処理で結晶化されたPZT膜を有する強誘電体キャパシタのヒステリシス特性を示す図である。また、図14Bは、425℃の熱処理で結晶化されたPZT膜を有する強誘電体キャパシタのヒステリシス特性を示す図である。図14Aおよび図14Bによれば、結晶化温度を低下させた場合でも十分に実用化レベルに達したヒステリシス特性を有する強誘電体キャパシタが得られることが分かった。

15 5. 第2の強誘電体キャパシタの製造方法

図15A～図15Fは、本実施の形態に係る第2の強誘電体キャパシタの製造工程を模式的に示す断面図である。なお、図1と実質的に同様の機能を有する部材には、同一符号を付し、詳細な説明を省略する。

本実施の形態に係る第2の強誘電体キャパシタの製造方法では、セラミックス膜の上下界面に合金膜を形成する工程を別途設けて、強誘電体キャパシタの疲労特性を向上させるとともに、セラミックス膜の結晶化をラピッド・サーマル・アニール法を用いた熱処理によって行い、セラミックス膜の結晶配向性の向上を図った。

本実施の形態の製造工程では、まず、図15Aに示すように、基体10の上に下部電極20を形成し、続いて、下部電極20の上に、複合酸化物（例えば、PZT、BIT、BLT、SBTなど）を構成する金属材料（例えば、Pb、Biなど）の酸化物（例えば、 PbO_2 、 BiO_2 など）を含む酸化膜22を形成する。

次に、図15Bに示すように、この酸化膜22を2気圧以上に加圧された状態で熱処理を行い、下部電極20の金属材料（例えば、Pt、Irなど）と、複合酸化物を構成する金属材料（例えば、Pb、Biなど）との化合物からなる下部合金膜24を

形成する。この下部合金膜 24 を形成するための熱処理は、複合酸化物を構成する金属材料の雰囲気中への飛散を防止するために、後述するセラミックス膜 40 の結晶化のための熱処理に比べて低い温度で行われる。

次に、図 15 C に示すように、下部合金膜 24 の上に原材料体 30 を形成する。この原材料体 30 にも、第 1 の実施形態の場合と同様に、ゾルゲル原料と MOD 原料とを含むことができる。また、原材料体 30 において、ゾルゲル原料と MOD 原料とは、それぞれ複合酸化物の化学量論的組成に調整され、かつこれらの混合物には前記化学量論的組成に対して 5 % 以下の複合酸化物に含まれる金属材料（例えば、Pb、Bi）が過剰に含まれていることが望ましい。なお、本実施形態の製造方法では、原材料体 30 の形成前に下部合金膜 24 が形成されているため、原材料体 30 に複合酸化物に含まれる金属材料を過剰に添加しなくてもよい。

なお、原材料体 30 には、複合酸化物に加えて、該複合酸化物に対して触媒作用を有する常誘電体材料が混在してもよい。原材料体 30 中に強誘電体を構成する複合酸化物に加えて、常誘電体材料が混在することにより、複合酸化物の結晶化過程において、複合酸化物の一部の構成元素が常誘電体材料の構成元素と置換して結晶化温度を低下させることができる。

このような常誘電体材料としては、例えば、構成元素中に Si または Ge を含む酸化物、または構成元素中に Si および Ge を含む酸化物を採用することができる。

次に、図 15 D に示すように、原材料体 30 を結晶化するための熱処理を行い、上記複合酸化物からなるセラミックス膜 40 を形成する。この熱処理は、数十℃/秒の昇温速度で急速過熱を行うラピッド・サーマル・アニール法を用いて行われる。複合酸化物の結晶化過程においては、昇温速度を低速にすると、初期結晶核が様々な角度で形成され、セラミックス膜の結晶はランダムに配向しやすくなる。しかし、本実施形態のようにラピッド・サーマル・アニール法で急速加熱を行うと、配向性に優れた高品質な結晶膜を得ることができる。

また、かかる結晶化のための熱処理では、昇温過程において 100℃以下の低温領域において 2 気圧以上の加圧状態としている。これは、例えば、Pb、Bi などの比較的低温で上記が発生しやすい金属材料が結晶化前に雰囲気中に飛散するのを防止するためである。なお、かかる熱処理において、昇温前に 2 気圧以上の加圧状態と

してもよい。

また、本実施の形態では、かかる熱処理を体積比 10 % 以下の酸素を含む雰囲気中で行うことにより、金属材料が酸素と結びついて脱離することを防ぐことができるため、加圧による金属材料の飛散防止効果をさらに高めることができる。

- 5 さらに、かかる熱処理では、昇温過程を上記したように大気圧に対して加圧状態で行うとともに、降温過程を前記加圧状態に対して減圧状態で行うことができる。これにより、昇温過程においては、加圧によって原材料体から金属材料が離脱することを防止し、降温過程においては、加圧状態から減圧していくことによって雰囲気中に含まれる余剰材料などの不純物のセラミックス膜への付着やセラミックス膜中における変質層の生成を防止することができる。

なお、本実施形態においても、原材料体 30 に、ゾルゲル原料と MOD 原料とを含む場合、両原料の結晶化過程では、互いに成長を遮断し合い、微細な結晶が成長する。その結果、結晶化されて形成されるセラミックス膜 40 においては、表面モフォロジーが良好なものとなる。

- 15 次に、図 15 E に示すように、セラミックス膜 40 の上に、複合酸化物（例えば、PZT、BIT、BLT、SBT など）を構成する金属材料（例えば、Pb、Bi など）の酸化物（例えば、 PbO_2 、 BiO_2 など）を含む酸化膜 42 を形成する。そして、酸化膜 42 の上にさらに上部電極 50 を形成する。なお、この酸化膜 42 は、セラミックス膜 40 と上部電極 50 との界面に合金膜を形成するために形成される。

- 20 次に、図 15 F に示すように、これらの積層体に対して 2 気圧以上に加圧された状態で熱処理を行うことにより、酸化膜 42 に含まれる複合酸化物の金属材料（例えば、Pb、Bi など）と、上部電極 50 の金属材料（例えば、Pt、Ir など）との合金からなる上部合金膜 44 が形成される。この上部合金膜 42 も、上記した下部合金膜 22 と同様の役割を有し、セラミックス膜 40 と上部電極 50 との格子不整合による歪みを緩和し、これによりセラミックス膜 40 の表面モフォロジーの改善や強誘電体
25 キャパシタの疲労特性の向上を図ることができる。

以上に述べたように、本実施の形態に係る強誘電体キャパシタの製造方法によれば、加圧および低酸素状態での熱処理により複合酸化物材料の雰囲気中への脱離を防止することができる。また、結晶化における熱処理をラピッド・サーマル・アニール法

で行うため、急速加熱により、結晶の配向性に優れた高品質なセラミックス膜を有する強誘電体キャパシタを得ることができる。さらに、かかる下部合金膜 24 および上部合金膜 44 を形成するための熱処理を導入したことで、この下部合金膜 24 および上部合金膜 44 によってセラミックス膜 40 の界面の歪みを緩和して、表面モフォロジーを向上させることができるとともに、キャパシタの電気的特性の向上を図ることができる。

なお、本実施の形態に係る強誘電体キャパシタの製造方法では、基体 10 上に上部電極 50 までの各層を形成した後に、ポストアニールとして 2 気圧以上に加圧された状態で強誘電体特性を回復するための熱処理を行うことができる。これにより、セラミックス膜 40 と上部電極 50 および下部電極 20 との界面状態が改善され、強誘電体特性の回復を図ることができる。

さらに、本実施の形態に係る強誘電体キャパシタの製造方法では、基体 10 上に上部電極 50 までの各層を形成した後にエッチング等により強誘電体キャパシタをパターンニングし、その後ポストアニールとして 2 気圧以上に加圧された状態で強誘電体特性を回復するための熱処理を行うことができる。これにより、エッチング工程でのプロセスダメージを回復させることができる。

なお、これらのポストアニールは、FA（ファーンネス）を用いてゆっくり加熱を行ってもよいし、ラピッド・サーマル・アニール法を用いて急速加熱を行ってもよい。

なお、上述した各種熱処理は、複合酸化物を構成する金属材料の蒸気発生に対して不活性な気体、例えば、窒素、アルゴン、キセノンなどの雰囲気中で行うことができる。かかる雰囲気中で熱処理を行うことにより、複合酸化物を構成する金属材料の蒸気発生の抑止効果がさらに高まる。

また、上述した各種熱処理の昇温過程及び降温過程の少なくともいずれか一方において、複数段階の加圧を行うことができる。

以下に、本実施の形態に係る第 2 の強誘電体キャパシタの製造方法のさらに詳細な実施例を図面を参照しながら説明する。

（実施例 5）

本実施例では、Pt 電極が形成された所与の基体上に、Pb ($Zr_{0.35}$, $Ti_{0.65}$) O_3 からなる複合酸化物をセラミックス膜として有する強誘電体キャパシタを作製し

て検討を行った。

まず、0.1重量%の PbO_2 形成用ゾルゲル溶液をPt電極上にスピンコーティング（3000rpm、30秒）して、これを図16に示すように、9.9気圧に加圧された状態、かつ窒素雰囲気下で150℃、120分間の第1熱処理を行って、Pt電極上に複合酸化物の金属材料であるPbと、下部電極であるPt電極との合金である $PbPt_3$ 膜を形成した。

次に、化学量論的組成に調整されたPZT（Zr/Ti=35/65）のゾルゲル溶液を $PbPt_3$ 膜上にスピンコーティング（3000rpm、30秒）して400℃で5分間、ゾルゲル溶液を仮焼成する工程を3回繰り返して、Pt電極上に150nmの原材料体を形成した。

続いて、図16に示すように、9.9気圧に加圧され、かつ体積比1%の酸素を含む雰囲気中で、100℃/秒の昇温速度で650℃まで急速昇温するとともに、650℃で10分間加熱する第2熱処理を行って、原材料体を結晶化することによりペロブスカイト構造のPZT膜を形成した。

その後、このPZT膜の上に、0.1重量%の PbO_2 形成用ゾルゲル溶液をスピンコーティング（3000rpm、30秒）して、その上に上部電極としてPt電極を形成した。そして、図16に示すように、9.9気圧に加圧された状態、かつ窒素雰囲気下で150℃、120分間の第3熱処理を行って、PZT膜と上部Pt電極との界面に複合酸化物の金属材料であるPbと、上部Pt電極の金属材料であるPtとの合金である $PbPt_3$ 膜を形成し、その後第2熱処理と同様に、加圧状態でラピッド・サーマル・アニール法を用いてポストアニールを行い、強誘電体キャパシタを得た。

また、本実施例の製造方法により得られる強誘電体キャパシタとの比較例（以下、比較例5）として、化学量論的組成に調整されたゾルゲル溶液にモル比で20%過剰となるようにPbを添加した原料溶液を用いた強誘電体キャパシタを作製した。そして、これらをPt電極上にスピンコーティング（3000rpm、30秒）して400℃で5分間、原料溶液を仮焼成する工程を3回繰り返して、150nmの原材料体を形成した。次に、図4に示すように、大気圧かつ十分な酸素を含む雰囲気中でラピッド・サーマル・アニール法を用いて100℃/秒の昇温速度で650℃まで昇温し、

10分間の熱処理を行ってP t 電極上にP Z T膜を得た。次に、このP Z T膜の上に上部電極を形成し、その後加圧状態でラピッド・サーマル・アニール法を用いてポストアニールを行い、従来法2による強誘電体キャパシタを得た。

こうして、得られた本実施例の製造方法と比較例5の製造方法とによる強誘電体キャパシタについて、2 V、66 Hzの三角波パルスで10回与えた後に、1.5 V、500 kHzの方形波パルスで10⁸回以上与えて分極反転を行い、疲労特性を調べた。

図17A～図17Dは、かかる疲労特性を示す図である。なお、図17Aおよび図17Cは、比較例5による場合を示し、図17Bおよび図17Dは、本実施例の製造方法による場合を示す。

この図17Aによれば、比較例5による場合は、分極反転回数が10⁸回を超えた付近で急激に特性が低下しているのに対し、図17Bによれば、本実施例による場合は、分極反転回数が10⁸回を超えても、疲労による特性劣化が見られない。また、図17Cおよび図17Dに示すように、疲労試験前後のヒステリシス特性の変化を比較すると、図17Cによれば、比較例5による強誘電体キャパシタは、疲労試験後は、ほとんどヒステリシス特性を示さないのに対し、図17Dによれば、本実施例による強誘電体キャパシタは、疲労試験後においても、試験前と同等の角型性を有する良好なヒステリシス形状が得られている。これは、本実施例の強誘電体キャパシタでは、P Z T膜の上下電極界面に合金膜が形成されており、格子不整合による歪みが緩和されているためであると考えられる。また、本実施例の製造方法では、加圧かつ低酸素の状態で、ラピッド・サーマル・アニール法を用いた急速加熱による結晶化の熱処理を行うため、結晶化過程においてP bの脱離が防止され、高配向なP Z T膜が得られてP Z T膜が均質であることも疲労特性の向上に寄与していると考えられる。

以上のように、本実施の形態の製造方法では、セラミックス膜の上下界面の合金膜形成プロセスと、加圧および低酸素状態でのラピッド・サーマル・アニール法を用いた熱処理を行うセラミックス膜の結晶化プロセスとを有することによって、強誘電体キャパシタが良好なヒステリシス特性及び疲労特性を有することが確認された。

6. 半導体装置

以下では、前述した第1および第2の強誘電体キャパシタの製造方法の適用例につ

いて説明する。

(適用例 1)

図 18 は、上記した各実施の形態で説明した製造方法により得られるセラミックス膜を適用した半導体装置 100 を模式的に示す断面図である。

- 5 半導体装置 100 は、ソースおよびドレイン領域 120、130 が設けられた半導体基板 110 上にゲート絶縁膜 140、ゲート電極 150 が形成された M I S F E T (金属-絶縁膜-半導体 F E T) 構造を有する。

- 半導体装置 100 において、ソースおよびドレイン領域 120、130 は、公知の半導体製造方法を用いて形成することができる。また、ゲート電極 150 についても
10 公知の半導体製造方法を用いて形成することができる。ゲート絶縁膜 140 は、上記実施形態にて説明した第 1 あるいは第 2 の強誘電体キャパシタの製造方法を用いて形成された強誘電体セラミックス膜が用いられる。なお、ゲート絶縁膜 140 と半導体基板 110 との良好な界面を形成するために、両者の間に常誘電体層や金属および常誘電体からなる 2 重層を挿入する構成としてもよい。

- 15 本実施の形態に係る半導体装置 100 は、強誘電体セラミックス膜であるゲート絶縁膜 140 の分極に基づくドレイン電流の変化を利用して情報を読み出すことにより半導体メモリとして機能する。この半導体装置 100 におけるゲート絶縁膜 140 は、上記実施の形態で説明した製造方法を用いて得られる強誘電体セラミックス膜から構成されるため、低電圧で飽和するヒステリシス特性を有する。従って、本実施の
20 形態に係る半導体装置 100 によれば、高速または低電圧で駆動することができ、素子の消費電力を低減することができる。

(適用例 2)

- 図 19 A 及び図 19 B は、上記実施の形態の製造方法により得られる強誘電体キャパシタを用いた半導体装置 1000 を模式的に示す図である。なお、図 19 A は、半
25 導体装置 1000 の平面的構成を示すものであり、図 19 B は、図 19 A の断面を示すものである。

半導体装置 1000 は、図 19 A に示すように、メモリセルアレイ 200 と、周辺回路部 300 とを有する。そして、メモリセルアレイ 200 と周辺回路部 300 とは、異なる層に形成されている。また、周辺回路部 300 は、メモリセルアレイ 200 に

対して半導体基板 400 上の異なる領域に配置されている。なお、周辺回路 300 の具体例としては、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダ、又はアドレスバッファを挙げることができる。

メモリセルアレイ 200 は、行選択のための下部電極 210（ワード線）と、列選択のための上部電極 220（ビット線）とが交叉するように配列されている。また、下部電極 210 及び上部電極 220 は、複数のライン状の信号電極から成るストライプ形状を有する。なお、信号電極は、下部電極 210 がビット線、上部電極 220 がワード線となるように形成することができる。

そして、図 19B に示すように、下部電極 210 と上部電極 220 との間には、強誘電体セラミックス膜 215 が配置されている。メモリセルアレイ 200 では、この下部電極 210 と上部電極 220 との交叉する領域において、強誘電体キャパシタ 230 として機能するメモリセルが構成されている。この強誘電体キャパシタ 230 は、上記実施の形態に係る製造方法を用いて形成される。従って、強誘電体セラミックス膜 215 と下部電極 210 および上部電極 220 との各界面には、強誘電体セラミックス膜 215 の材料と下部電極 210 または上部電極 220 の材料との化合物からなる合金膜が形成されている。なお、強誘電体セラミックス膜 215 は、少なくとも下部電極 210 と上部電極 220 との交叉する領域の間に配置されていけばよい。

さらに、半導体装置 1000 は、下部電極 210、強誘電体層 215、及び上部電極 220 を覆うように、第 2 の層間絶縁膜 430 が形成されている。さらに、配線層 450、460 を覆うように第 2 の層間絶縁膜 430 の上に絶縁性の保護層 440 が形成されている。

周辺回路部 200 は、図 19A に示すように、前記メモリセル 200 に対して選択的に情報の書き込み若しくは読出しを行うための各種回路を含み、例えば、下部電極 210 を選択的に制御するための第 1 の駆動回路 310 と、上部電極 220 を選択的に制御するための第 2 の駆動回路 320 と、その他にセンスアンプなどの信号検出回路（図示省略）とを含んで構成される。

また、周辺回路部 300 は、図 19B に示すように、半導体基板 400 上に形成された MOS トランジスタ 330 を含む。MOS トランジスタ 330 は、ゲート絶縁膜 332、ゲート電極 334、及びソース／ドレイン領域 336 を有する。各 MOS ト

ランジスタ 3 3 0 間は、素子分離領域 4 1 0 によって分離されている。この MOS トランジスタ 3 3 0 が形成された半導体基板 4 0 0 上には、第 1 の層間絶縁膜 4 1 0 が形成されている。そして、周辺回路部 3 0 0 とメモリセルアレイ 2 0 0 とは、配線層 5 1 によって電氣的に接続されている。

5 次に、半導体装置 1 0 0 0 における書き込み、読出し動作の一例について述べる。

まず、読出し動作においては、選択されたメモリセルのキャパシタに読み出し電圧が印加される。これは、同時に‘0’の書き込み動作を兼ねている。このとき、選択されたビット線を流れる電流又はビット線をハイインピーダンスにしたときの電位をセンスアンプにて読み出す。そして、非選択のメモリセルのキャパシタには、読み出し時のクロストークを防ぐため、所定の電圧が印加される。

書き込み動作においては、‘1’の書き込みの場合は、選択されたメモリセルのキャパシタに分極状態を反転させる書き込み電圧が印加される。‘0’の書き込みの場合は、選択されたメモリセルのキャパシタに分極状態を反転させない書き込み電圧が印加され、読み出し動作時に書き込まれた‘0’状態を保持する。このとき、非選択のメモリセルのキャパシタには書き込み時のクロストークを防ぐために、所定の電圧が印加される。

この半導体装置 1 0 0 0 において、上記実施の形態の製造方法に作製される強誘電体キャパシタ 2 3 0 は、低電圧で飽和するヒステリシス特性を有する。従って、この半導体装置 1 0 0 0 によれば、低電圧または高速で駆動することができ、素子の消費電力を低減させることができる。また、この強誘電体キャパシタ 2 3 0 は、良好な疲労特性を有するため、半導体装置 1 0 0 0 によれば、素子の信頼性が高く、歩留まりを向上させることができる。

以上、本発明に好適な実施の形態について述べたが、本発明はこれらに限定されるものでなく、本発明の要旨の範囲内で各種の態様を取り得る。

What is claimed is:

1. 複合酸化物を含む原材料体を、2気圧以上に加圧され、かつ体積比10%以下の酸素を含む雰囲気中で熱処理することにより結晶化させることを含む、セラミックス膜の製造方法。

2. 複合酸化物を含む原材料体を、2気圧以上に加圧された状態でラピッド・サーマル・アニール法を用いて熱処理することにより結晶化させることを含む、セラミックス膜の製造方法。

3. 請求項2において、

前記熱処理は、体積比10%以下の酸素を含む雰囲気中で行われる、セラミックス膜の製造方法。

4. 請求項1及び2のいずれかにおいて、

前記熱処理は、少なくとも昇温前に2気圧以上に加圧することを含む、セラミックス膜の製造方法。

5. 請求項1及び2のいずれかにおいて、

前記複合酸化物は、構成元素にPbを含み、

前記熱処理は、昇温過程において少なくとも100℃以下で2気圧以上に加圧した後に、さらに昇温を行うことを含む、セラミックス膜の製造方法。

6. 請求項1及び2のいずれかにおいて、

前記熱処理の昇温過程を大気圧に対して加圧状態で行うとともに、前記熱処理の降温過程を前記加圧状態に対して減圧状態で行うことを含む、セラミックス膜の製造方法。

7. 請求項1及び2のいずれかにおいて、

前記原材料体は、前記複合酸化物の加水分解物および重縮合物の少なくともいずれかを含むゾルゲル原料と、前記複合酸化物の構成元素を有機溶媒中に含むMOD原料との混合物である、セラミックス膜の製造方法。

5 8. 請求項1及び2のいずれかにおいて、

前記原材料体は、前記複合酸化物に加えて、該複合酸化物に対して触媒作用を有する常誘電体材料が混在する、セラミックス膜の製造方法。

9. 請求項8において、

10 前記常誘電体材料は、構成元素中にS iまたはG eを含む酸化物、または構成元素中にS iおよびG eを含む酸化物からなる、セラミックス膜の製造方法。

10. 請求項1～9のいずれかに記載された製造方法により形成される、セラミックス膜。

15

11. 請求項10に記載されたセラミックス膜をゲート絶縁膜として有する、半導体装置。

12. 基体上に下部電極を形成し、

20 複合酸化物を含む原材料体を、2気圧以上に加圧され、かつ体積比10%以下の酸素を含む雰囲気中および100℃/分以下の昇温速度の条件で熱処理することにより、前記下部電極の上に前記複合酸化物を構成する第1金属と該下部電極を構成する第2金属との化合物からなる下部合金膜を形成するとともに、該下部合金膜の上に前記原材料体が結晶化されたセラミックス膜を形成し、

25 前記セラミックス膜の上に上部電極を形成することを含む、強誘電体キャパシタの製造方法。

13. 請求項12において、

前記熱処理は、少なくとも昇温前に2気圧以上に加圧することを含む、強誘電体キ

ャパシタの製造方法。

1 4. 請求項 1 2 において、

前記複合酸化物は、構成元素に P b を含み、

5 前記熱処理は、昇温過程において少なくとも 1 0 0℃以下で 2 気圧以上に加圧した後、さらに昇温を行うことを含む、強誘電体キャパシタの製造方法。

1 5. 請求項 1 2 において、

10 前記熱処理の昇温過程を大気圧に対して加圧状態で行うとともに、前記熱処理の降温過程を前記加圧状態に対して減圧状態で行うことを含む、強誘電体キャパシタの製造方法。

1 6. 請求項 1 2 において、

15 前記セラミックス膜の上に前記上部電極を形成する前に、前記セラミックス膜の上に前記上部電極を構成する第 3 金属の酸化膜を形成し、該酸化膜を、2 気圧以上に加圧された状態で熱処理することにより、前記第 1 金属と前記第 3 金属との化合物からなる上部合金膜を形成することを含み、

前記上部電極は、前記上部合金膜の上に形成される、強誘電体キャパシタの製造方法。

20

1 7. 基体上に下部電極を形成し、

前記下部電極の上に複合酸化物を構成する第 1 金属の酸化膜を形成し、

前記酸化膜を、2 気圧以上に加圧された状態で第 1 熱処理することにより、前記第 1 金属と前記下部電極を構成する第 2 金属との化合物からなる下部合金膜を形成し、
25 複合酸化物を含む原材料体を、2 気圧以上に加圧された状態でラピッド・サーマル・アニール法を用いて第 2 熱処理することにより、前記下部合金膜の上に前記原材料体が結晶化されたセラミックス膜を形成し、

前記セラミックス膜の上に上部電極を形成することを含む、強誘電体キャパシタの製造方法。

18. 請求項17において、

前記第2熱処理は、体積比10%以下の酸素を含む雰囲気中で行われる、強誘電体キャパシタの製造方法。

5

19. 請求項17において、

前記熱処理は、少なくとも昇温前に2気圧以上に加圧することを含む、強誘電体キャパシタの製造方法。

10 20. 請求項17において、

前記複合酸化物は、構成元素にPbを含み、

前記熱処理は、昇温過程において少なくとも100℃以下で2気圧以上に加圧した後に、さらに昇温を行うことを含む、強誘電体キャパシタの製造方法。

15 21. 請求項17において、

前記第2熱処理の昇温過程を大気圧に対して加圧状態で行うとともに、前記第2熱処理の降温過程を前記加圧状態に対して減圧状態で行うことを含む、強誘電体キャパシタの製造方法。

20 22. 請求項17において、

前記セラミックス膜の上に上部電極を形成する前に、前記セラミックス膜の上に前記上部電極を構成する第3金属の酸化膜を形成し、該酸化膜を、2気圧以上に加圧された状態で第3熱処理することにより、前記第1金属と前記第3金属との化合物からなる上部合金膜を形成することを含む、

25 前記上部電極は、前記上部合金膜の上に形成される、強誘電体キャパシタの製造方法。

23. 請求項12及び17のいずれかにおいて、

前記原材料体は、前記複合酸化物の加水分解物および重縮合物の少なくともいずれ

かを含むゾルゲル原料と、前記複合酸化物の構成元素を有機溶媒中に含むMOD原料との混合物である、強誘電体キャパシタの製造方法。

24. 請求項12及び17のいずれかにおいて、

5 前記原材料体は、前記複合酸化物に加えて、該複合酸化物に対して触媒作用を有する常誘電体材料が混在する、強誘電体キャパシタの製造方法。

25. 請求項24において、

10 前記常誘電体材料は、構成元素中にSiまたはGeを含む酸化物、または構成元素中にSiおよびGeを含む酸化物からなる、強誘電体キャパシタの製造方法。

26. 基体上に少なくとも、下部電極、セラミックス膜、および上部電極を形成し、
少なくとも前記上部電極を形成した後に、2気圧以上に加圧された状態で強誘電体特性を回復するための熱処理を行うことを含む、強誘電体キャパシタの製造方法。

15

27. 基体上に少なくとも、下部電極、セラミックス膜、および上部電極を形成し、
少なくとも前記セラミックス膜を所与の形状にエッチングした後に、2気圧以上に加圧された状態で強誘電体特性を回復するための熱処理を行うことを含む、強誘電体キャパシタの製造方法。

20

28. 請求項26または27において、

前記強誘電体特性を回復するための熱処理は、ラピッド・サーマル・アニール法を用いて行われる、強誘電体キャパシタの製造方法。

25 29. 請求項12～28のいずれかに記載された製造方法により形成される、強誘電体キャパシタ。

30. 請求項29に記載された強誘電体キャパシタを含む、半導体装置。

ABSTRACT OF THE DISCLOSURE

基体上に下部電極を形成し、複合酸化物を含む原材料体を、2気圧以上に加圧され、かつ体積比10%以下の酸素を含む雰囲気中および100℃/分以下の昇温速度の
5 条件で熱処理することにより、下部電極の上に複合酸化物を構成する第1金属と該下部電極を構成する第2金属との化合物からなる下部合金膜を形成する。さらに、下部合金膜の上に原材料体が結晶化されたセラミックス膜を形成し、セラミックス膜の上に上部電極を形成する。